

日 本 国 特 許 庁
JAPAN PATENT OFFICE

61282-045
MIZUKOSHI
Nov. 20, 2003
10/716,876

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 2 0 2 7
Application Number:

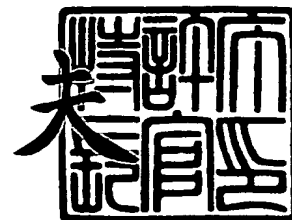
[ST. 10/C] : [J P 2 0 0 3 - 3 7 2 0 2 7]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 2 2 3 4

【書類名】 特許願
【整理番号】 5037950055
【提出日】 平成15年10月31日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 29/00 663
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 水越 典子
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100105647
 【弁理士】
 【氏名又は名称】 小栗 昌平
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100105474
 【弁理士】
 【氏名又は名称】 本多 弘徳
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100108589
 【弁理士】
 【氏名又は名称】 市川 利光
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100115107
 【弁理士】
 【氏名又は名称】 高松 猛
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100090343
 【弁理士】
 【氏名又は名称】 栗宇 百合子
 【電話番号】 03-5561-3990
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-336566
 【出願日】 平成14年11月20日
【手数料の表示】
 【予納台帳番号】 092740
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0002926

【書類名】 特許請求の範囲**【請求項 1】**

メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路であって、
前記メモリの診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路と、前記半導体集積回路に対する電源とは別系統の電源ラインとを備えるメモリ故障救済回路。

【請求項 2】

メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路であって、
前記メモリを診断し、診断結果を電源制御回路へ出力する自己診断回路からの診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路を有し、前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御されるメモリ故障救済回路。

【請求項 3】

メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路であって、
前記半導体集積回路の検査時の前記メモリの診断結果を保持する保持手段に保持された診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路を有し、前記半導体集積回路の実使用時の前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御されるメモリ故障救済回路。

【請求項 4】

前記冗長救済回路に対する電源が前記半導体集積回路とは異なる電源から供給される請求項 1 から 3 のいずれか一項記載のメモリ故障救済回路。

【請求項 5】

前記自己診断回路は、電源投入ごとに作動して得られる前記メモリの診断結果を前記電源制御回路へ出力する請求項 2 または 4 記載のメモリ故障救済回路。

【請求項 6】

前記メモリの欠陥個所との置き換えをヒューズ制御で行う請求項 1 から 5 のいずれか一項記載のメモリ故障救済回路。

【請求項 7】

前記電源制御回路が、前記半導体集積回路の外部にある請求項 2 から 6 のいずれか一項記載のメモリ故障救済回路。

【請求項 8】

前記電源制御回路が、前記半導体集積回路の内部にある請求項 2 から 6 のいずれか一項記載のメモリ故障救済回路。

【請求項 9】

請求項 1 記載のメモリ故障救済回路の電源制御方法であって、
前記メモリの診断結果に基づいて前記冗長回路を前記メモリの欠陥箇所に置き換える場合にのみ、前記冗長救済回路に対する電源供給を行うメモリ故障救済回路の電源制御方法。

【請求項 10】

請求項 1 記載のメモリ故障救済回路の電源配線方法であって、
前記メモリの診断結果に基づいて前記冗長回路を前記メモリの欠陥個所に置き換えない場合、前記冗長救済回路に対する電源供給ラインをトリミングでカットするメモリ故障救済回路の電源配線方法。

【書類名】 明細書

【発明の名称】 メモリ故障救済回路

【技術分野】

【0001】

本発明は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路に関する。

【背景技術】

【0002】

従来、半導体加工の微細化に伴い、半導体記憶装置を含む半導体集積回路においては、記憶部の欠陥を救済するための冗長回路を併せ持っており、検査時に記憶部の欠陥が見つかった際には、冗長回路と置き換えることによって、半導体集積回路の歩留まり向上を実現してきた（特許文献1等）。

【特許文献1】 特開平11-238393号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の半導体記憶装置を含む半導体集積回路では、検査時に記憶部に欠陥がなかった場合でも未使用の冗長回路に電源が供給されるため、未使用の冗長回路において不要なリーク電流が発生してしまうという問題ある。

【0004】

本発明は、上記従来の問題点を解決するもので、未使用の冗長回路で発生するリーク電流を削減することができるメモリ故障救済回路を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明のメモリ故障救済回路の第1の態様は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路であって、前記メモリの診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路と、前記半導体集積回路に対する電源とは別系統の電源ラインとを備える。この構成によれば、冗長救済回路と半導体集積回路の電源を別系統とすることで、半導体集積回路の検査時にメモリ故障がなかった場合に、冗長救済回路に対する電源を供給しないことが可能となり未使用時の冗長回路で発生するリーク電流を削減することができる。

【0006】

本発明のメモリ故障救済回路の第2の態様は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路であって、前記メモリを診断し、診断結果を電源制御回路へ出力する自己診断回路からの診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路を有し、前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御される。この構成によれば、冗長救済回路に対する電源供給が自己診断結果に基づいて半導体集積回路に対する電源供給から独立して制御されるため、半導体集積回路の検査時にメモリ故障がなかった場合に、冗長救済回路への電源を供給しない制御を行うことにより未使用の冗長回路で発生するリーク電流を削減することができる。

【0007】

本発明のメモリ故障救済回路の第3の態様は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路であって、前記半導体集積回路の検査時の前記メモリの診断結果を保持する保持手段に保持された診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路を有し、前記半導体集積回路の実使用時の前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御される。この構成によれば、冗長救済回路に対する電源供給が半導体集積回路の検査時に予め保持した診断結果を利用して半導体集積回路の実使用時に半導体集積回路に対する電源供給から独立して制御さ

れるため、半導体集積回路の検査時にメモリ故障がなかった場合に、冗長救済回路への電源を供給しない制御を行うことにより未使用の冗長回路で発生するリーク電流を削減することができる。

【0008】

本発明のメモリ故障救済回路の第2、第3の態様において、前記冗長救済回路に対する電源は前記半導体集積回路とは異なる電源から供給される。この構成によれば、冗長救済回路の電源と半導体集積回路の電源とを異ならせることで、冗長救済回路に対する電源制御が確実に行われる。

【0009】

また、前記自己診断回路は、電源投入ごとに作動して得られる前記メモリの診断結果を前記電源制御回路へ出力する。この構成によれば、電源投入時にのみ診断結果に基づく電源制御を行うだけで、それ以降は通常どおりに使用することができる。

【0010】

本発明において、前記メモリの欠陥個所との置き換えをヒューズ制御で行う。この構成によれば、ヒューズ制御を利用することでメモリの欠陥個所を冗長回路で確実に置き換えることができる。

【発明の効果】

【0011】

本発明によれば、冗長救済回路に対する電源が半導体集積回路に対する電源から独立しているため、メモリ故障がなかった場合に冗長救済回路への電源供給を遮断することが可能となり未使用の冗長回路で発生するリーク電流を削減することができる。

【発明を実施するための最良の形態】

【0012】

（実施の形態1）

図1は、本発明の実施の形態1のメモリ故障救済回路の構成を示すブロック図である。図1において、メモリ故障救済回路は、実機能を実現しているロジック回路1と、ロジック回路1が使用するメモリ部2と、メモリ部2の故障の有無を判定する自己診断回路3と、自己診断回路3の判定結果からヒューズ制御等によりメモリ部2の欠陥個所との置き換えを行う冗長回路4と、ロジック回路1が指定するメモリのアドレスと自己診断回路3から出力される判定結果（欠陥箇所を示すアドレス）とを比較する比較器5と、比較器5の比較結果からメモリ部2に欠陥箇所がある場合に、ロジック回路1の冗長回路4へのアクセスを可能とするセクタ6とを備える。

【0013】

ロジック回路1、メモリ部2、自己診断回路3およびセクタ6を有する半導体集積回路には電源（1）が供給され、冗長回路4および比較器5を有する冗長救済回路には電源（2）が供給される。電源制御回路10は、自己診断回路3の判定結果に基づき電源（1）、（2）の供給を制御するものであり、チップの外部又は内部に配置される。

【0014】

図2はメモリ故障救済回路に対する電源制御の動作フローを示している。電源が投入されると、自己診断回路3が作動してメモリ部2の自己診断を行う。（S10）。自己診断結果を判断し（S11）、メモリ故障無しの診断結果が出力されると、電源制御回路10が電源（2）をOFFにする（S12）。メモリ故障有りの診断結果が出力されると、冗長回路4がその診断結果を保存する（S13）。次いで、電源制御回路10が電源（2）をONにする（S14）。自己診断の結果は、電源が投入されている間継続して保持されるので、電源投入時に一度自己診断回路3を作動させれば、その後、電源（2）の制御が行われることはない。

【0015】

実施の形態1によれば、半導体集積回路と冗長救済回路の電源を別系統としておき、検査時に半導体集積回路のメモリ部に欠陥がなかった場合には冗長救済回路への電源供給を行わないように制御することで、未使用の冗長回路によるリーク電流の発生を防止するこ

とができる。

【0016】

(実施の形態 2)

図 3 は、本発明の実施の形態 2 のメモリ故障救済回路の構成を示すブロック図である。なお、図 1 と同一部分には同一符号を付して説明する。図 3 において、メモリ故障救済回路は、ロジック回路 1 と、メモリ部 2 と、冗長回路 4 と、半導体集積回路の検査結果を保持するフラッシュメモリ 9 と、ロジック回路 1 が指定するアドレスとフラッシュメモリ 9 に記憶されている判定結果とを比較する比較器 5 と、比較器 5 の比較結果からメモリ部 2 に欠陥メモリセルがある場合にロジック回路 1 の冗長回路 4 へのアクセスを可能とするセクタ 6 とを備える。

【0017】

ロジック回路 1、メモリ部 2 およびセクタ 6 を有する半導体集積回路には電源 (1) が供給され、冗長回路 4 および比較器 5 を有する冗長救済回路には電源 (2) が供給される。電源制御回路 10 は、フラッシュメモリ 9 に保持されているメモリ評価結果に基づき電源 (1)、(2) の供給を制御する。

【0018】

図 4 はメモリ故障救済回路に対する電源制御の動作フローを示している。動作フローは、半導体検査工程と実使用とに大きく分けることが可能である。半導体検査工程において、メモリ部 2 のテストを行い (S20)、メモリ欠陥故障の有無とメモリ故障箇所についての検査結果をフラッシュメモリ 9 に格納させる (S21)。実使用時において、フラッシュメモリ 9 に格納されているメモリ欠陥故障の有無を用いて、検査結果を判定し (S22)、メモリ欠陥故障があれば電源制御回路 10 が電源 (2) を ON にする (S23)。メモリ欠陥故障がなければ電源制御回路 10 が電源 (2) を OFF にする (S24)。

【0019】

実施の形態 2 によれば、半導体集積回路と冗長救済回路の電源を別系統としておき、検査時におけるメモリ部の欠陥故障の有無をフラッシュメモリに記憶させておき、実使用時にメモリ部の欠陥故障の有無によって冗長回路の電源供給を行わないように制御することで、未使用の冗長回路によるリーク電流の発生を防止することができる。

【0020】

なお、実施の形態 1、2 において、メモリ故障があれば電源 (2) を ON にし、メモリ故障がなければ電源 (2) を OFF にして冗長救済回路への電源供給を制御する場合について説明したが、メモリ故障がなければ電源 (2) を供給する電源ラインをトリミングでカットして冗長救済回路への電源供給を行わないようにしてもよい。

【産業上の利用可能性】

【0021】

本発明のメモリ故障救済回路は、冗長救済回路に対する電源が半導体集積回路に対する電源から独立しているため、メモリ故障がなかった場合に冗長救済回路への電源供給を遮断することが可能となり未使用の冗長回路で発生するリーク電流を削減することができるという効果を有し、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路等として有用である。

【図面の簡単な説明】

【0022】

【図 1】 本発明の実施の形態 1 のメモリ故障救済回路の構成を示す図。

【図 2】 実施の形態 1 のメモリ故障救済回路に対する電源制御の動作フローを示す図。

【図 3】 本発明の実施の形態 2 のメモリ故障救済回路の構成を示す図。

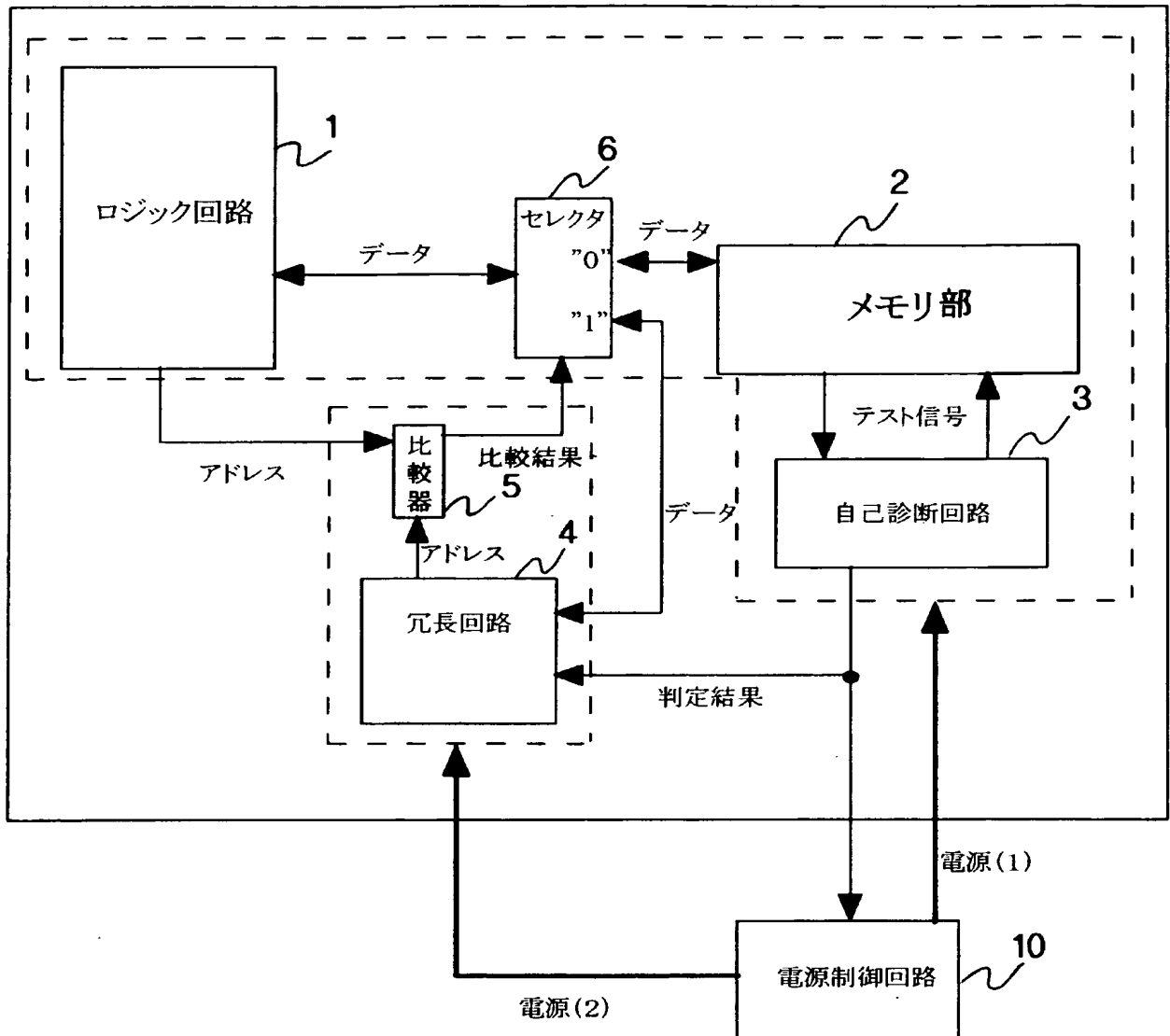
【図 4】 実施の形態 2 のメモリ故障救済回路に対する電源制御の動作フローを示す図。

【符号の説明】

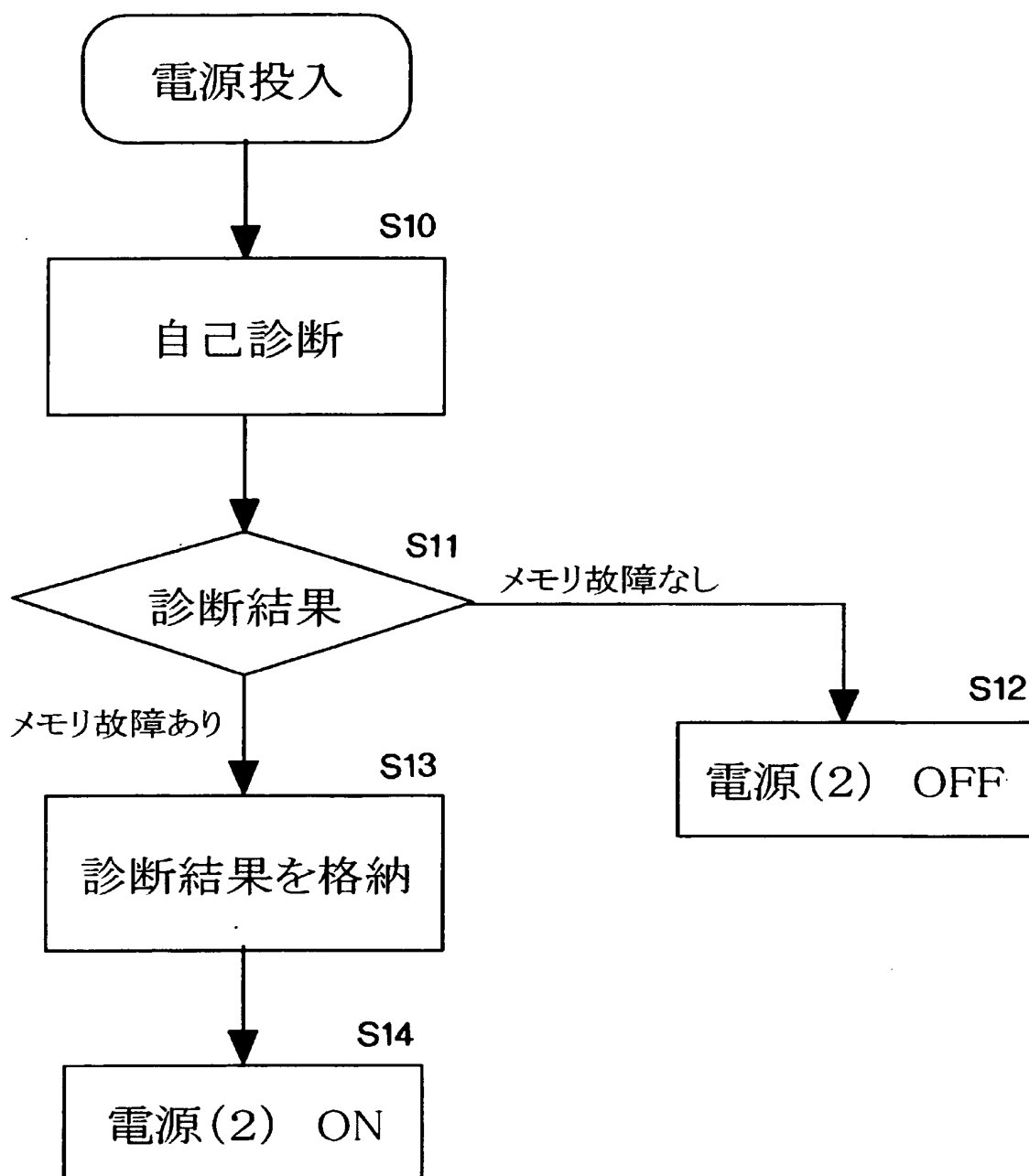
【0023】

- 1 ロジック回路
- 2 メモリ部
- 3 自己診断回路
- 4 冗長回路
- 5 比較器
- 6 セレクタ
- 7 フラッシュメモリ
- 1 0 電源制御回路

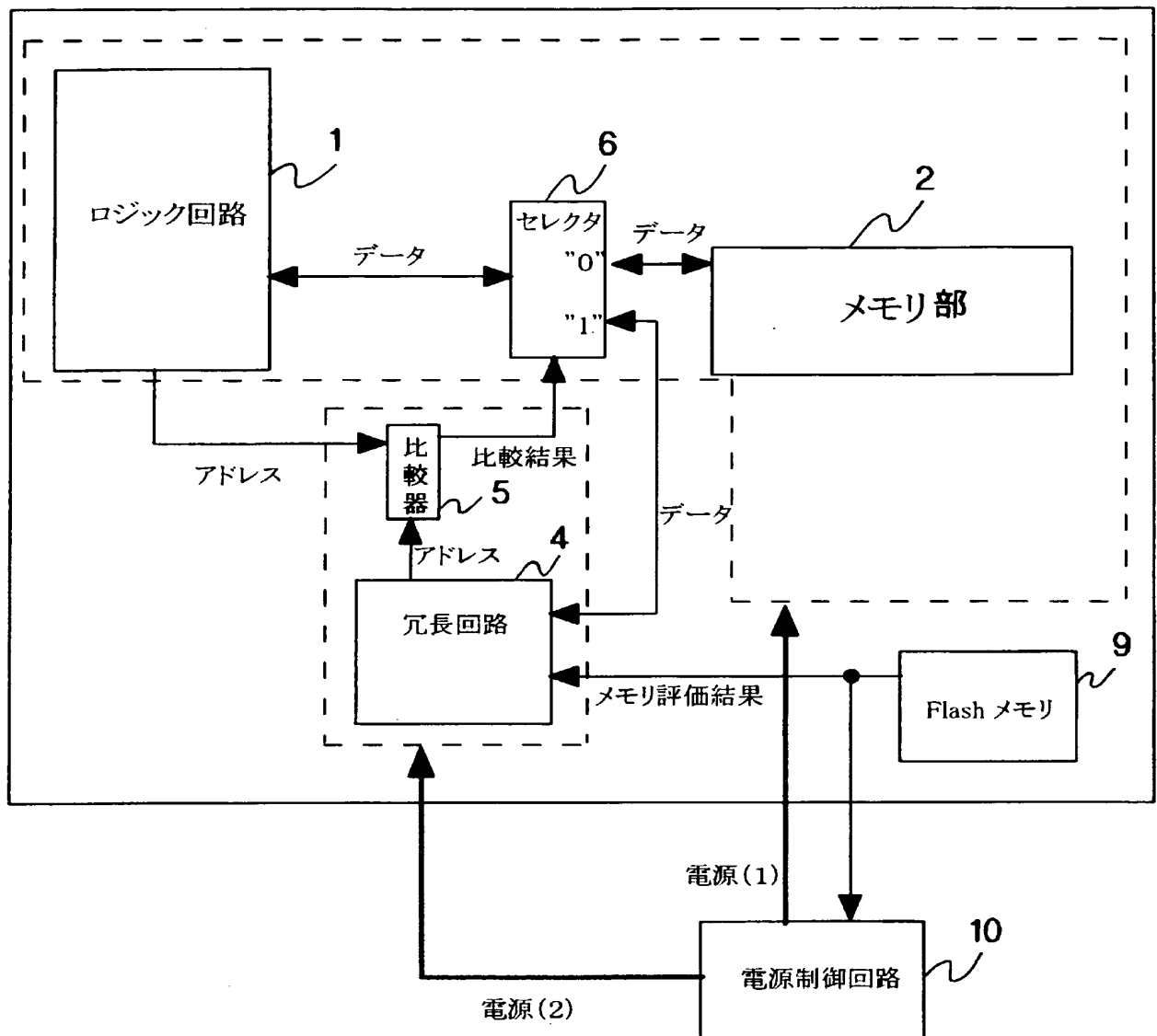
【書類名】 図面
【図 1】



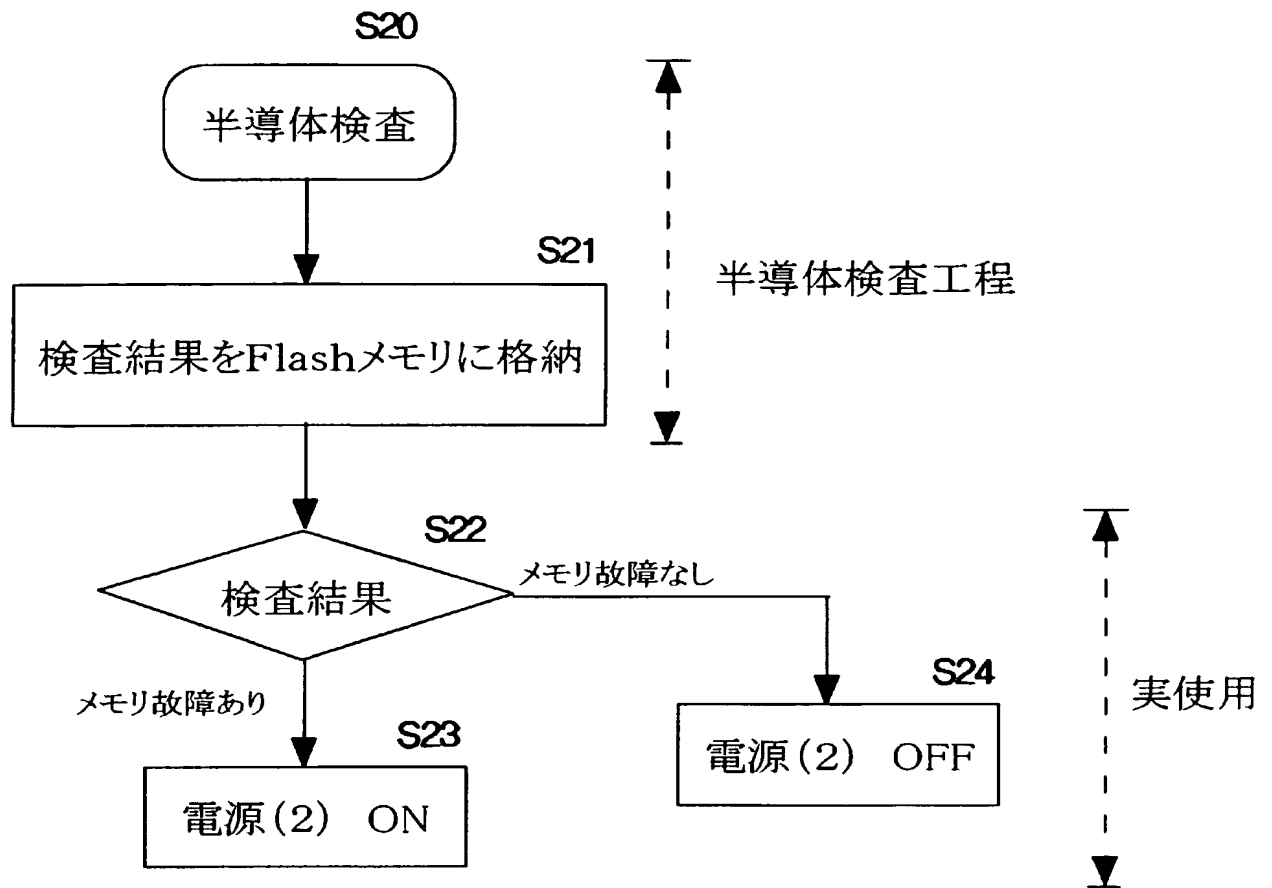
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 未使用の冗長回路で発生するリーク電流を削減する。

【解決手段】 メモリ部 2 の診断結果に基づいてメモリ部の欠陥個所に置き換えられる冗長回路 4 を有する冗長救済回路と、メモリ部 2 を有する半導体集積回路に対する電源（1）とは別系統の電源ラインとを備え、メモリ部 2 の診断結果に基づいて冗長回路 4 をメモリ部の欠陥箇所に置き換える場合にのみ、冗長救済回路に対する電源供給を行う。

【選択図】 図 1

特願 2 0 0 3 - 3 7 2 0 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社